(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété Intellectuelle
Bureau international

(43) Date de la publication internationale
27 octobre 2005 (27.10.2005)

PCT

(10) Numéro de publication internationale
WO 2005/101160 A1

(51) Classification internationale des brevets[7] : G06F 1/00

(21) Numéro de la demande internationale :
PCT/FR2005/000648

(22) Date de dépôt international : 17 mars 2005 (17.03.2005)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :

| | | |
|---|---|---|
| 0402842 | 19 mars 2004 (19.03.2004) | FR |
| 60/600,912 | 12 août 2004 (12.08.2004) | US |


(71) Déposant *(pour tous les États désignés sauf US)* : **SECURE MACHINES S.A.** [FR/FR]; 672, Chemin de la République, F-13420 Gemenos (FR).

(72) Inventeurs; et

(75) Inventeurs/Déposants *(pour US seulement)* : **BRESSY, Philippe** [FR/FR]; 8, rue du Lançon, F-83190 Ollioules (FR). **PERROTEY, Gilles** [FR/FR]; 672, Chemin de la République, F-13420 Gemenos (FR).

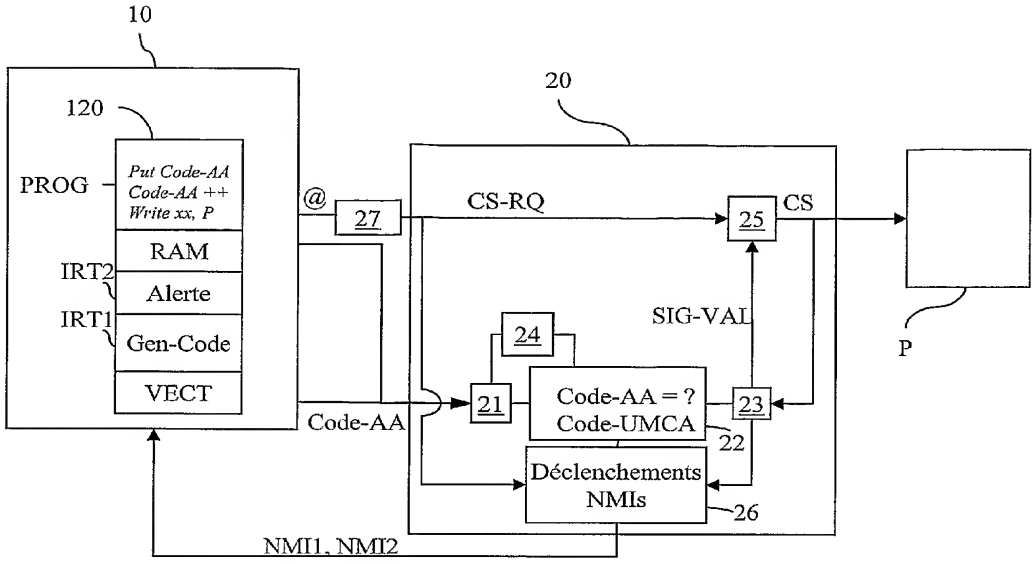
(74) Mandataire : **DOMANGE, Maxime**; Cabinet Beau de Loménie, 232, avenue du Prado, F-13295 Marseille Cedex 08 (FR).

(81) États désignés *(sauf indication contraire, pour tout titre de protection nationale disponible)* : AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM,

*[Suite sur la page suivante]*

(54) **Title:** METHOD AND DEVICE FOR CONTROLLING AN ACCESS TO PERIPHERALS

(54) **Titre :** PROCEDE ET DISPOSITIF POUR CONTROLER L'ACCES A UN PERIFERIQUE




26 ...TRIGGERING

(57) **Abstract:** The inventive method for controlling by a processor the access to peripherals thereof consists in triggering (E34) the processor breaker called a control breaker, in obtaining (E37) an authorisation code for accessing to the peripherals from the processor consecutively to said triggering, in comparing (E38) the access authorisation code (Code-AA) with a predetermined reference value (Code-UMCA) and in generating (E50) an electric signal for validating an access signal to the peripherals according to said comparison stage (E30).

*[Suite sur la page suivante]*

WO 2005/101160 A1

TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

**(84) États désignés** *(sauf indication contraire, pour tout titre de protection régionale disponible)* **:** ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Déclaration en vertu de la règle 4.17 :**

— *relative à la qualité d'inventeur (règle 4.17.iv)) pour US seulement*

**Publiée :**

— *avec rapport de recherche internationale*

— *avant l'expiration du délai prévu pour la modification des revendications, sera republiée si des modifications sont reçues*

*En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.*

**(57) Abrégé :** Ce procédé pour contrôler l'accès, par un processeur à un périphérique de ce processeur, comporte les étapes suivantes - déclenchement (E34) d'une interruption du processeur, dite interruption de contrôle; - obtention (E37), en provenance du processeur et consécutivement à ce déclenchement, d'un code d'autorisation d'accès (Code-AA) au périphérique; - comparaison (E38) du code d'autorisation d'accès (Code-AA) avec une valeur de référence prédéterminée (Code-UMCA); - génération (E50) d'un signal électrique de validation d'un signal d'accès à ce périphérique, en fonction du résultat de ladite étape de comparaison (E30).

« Procédé et dispositif pour contrôler l'accès à un périphérique ».

Arrière-plan de l'invention

La présente invention se situe dans le domaine de la sécurisation des appareils électroniques, et plus précisément dans celui de la protection de ces appareils contre des manipulations frauduleuses et des attaques à leur intégrité.

On connaît principalement deux types d'attaque, à savoir les attaques de type logiciel d'une part et celles par ajout ou substitution de composants matériels d'autre part.

Pour parer aux attaques logicielles, on connaît des outils dits de haut niveau, c'est-à-dire opérant au-dessus des couches du système d'exploitation (antivirus, pare-feu, etc.).

Malheureusement, ces outils même performants, présentent une fragilité importante dans le sens où ils peuvent être désactivés ou contournés avant même leur chargement en mémoire.

Un consortium nommé « Trusted Computing Group » (TCG) vise à palier cet inconvénient en fournissant des outils et des méthodes de protection des couches logicielles basses, ainsi qu'une indentification des périphériques physiques.

TCG propose en particulier une méthode de vérification de l'authenticité du BIOS (Basic Input Output System) d'un ordinateur personnel avant son lancement.

Une telle méthode utilise à cette fin un code de confiance CRTM (Core Root of Trust Measurement en anglais), ce code CRTM étant exécuté à la mise sous tension de l'ordinateur pour calculer une signature du BIOS.

Ce code de confiance CRTM constitue ainsi la base de toute la chaîne de sécurité logicielle dans l'équipement, et doit donc être protégé lui aussi contre les attaques.

Afin d'assurer la protection de ce code CRTM, il est traditionnellement prévu d'implémenter celui-ci dans un secteur spécifique d'une mémoire de type flash installée sur la carte mère de l'équipement.

L'inconvénient d'une telle solution est que la modification de ce code de confiance CRTM, pour une mise à jour par exemple, est impossible sans

intervention physique sur la carte mère, comme le décrit le document IBM US 2003/0135727 publié le 17 juillet 2003.

Ce document propose une première solution à ce problème consistant à implémenter le code de confiance (CRTM) dans une carte accessoire à la carte mère (feature card en anglais), cette carte accessoire comportant son propre BIOS. Les mises à jour peuvent alors s'effectuer simplement par remplacement physique de cette carte accessoire.

Si cette solution est acceptable dans le cadre des spécifications élaborées par TCG, on comprend qu'elle ne l'est plus du tout lorsque l'on veut étendre la protection des boot loader et des BIOS au second type d'attaques, les attaques matérielles, du fait d'un utilisateur ou d'un tiers (console de jeux, code IMEI et SIM lock des GSM notamment).

Cette solution présente en effet un inconvénient majeur pour ce cas de protection étendue, puisqu'il suffit de retirer cette carte accessoire pour désactiver l'ensemble des fonctions de sécurité de l'équipement.

Le consortium TCG s'intéresse aussi au problème de l'intégrité matérielle des ordinateurs (PC) en contrôlant les périphériques utilisés. Plus précisément, ce consortium spécifie l'utilisation d'un module TPM qui enregistre les noms et emplacements des périphériques d'un ordinateur, afin de générer une alarme si un périphérique, par exemple un disque dur, a été remplacé entre deux boot. Il s'agit ici du contrôle de l'identité d'un périphérique.

Dans le même état d'esprit et dans le contexte des consoles de jeux, le document WO 43716 (3DO) décrit une méthode d'authentification d'un périphérique (une cassette de jeu), par un processeur (celui de la console) pour lutter contre la copie illicite de cassette.

Le document 3DO propose d'intégrer une clef secrète dans la cassette, qui sera vérifiée par la console qui détient aussi cette clef. Pour éviter la substitution d'une cassette dûment authentifiée par une cassette pirate, 3DO propose en outre l'utilisation d'un mécanisme d'échange de données de sécurisation, entre la cassette et la console tout au long du jeu. La console vérifie ainsi qu'elle dialogue toujours avec la même cassette.

Cette solution nécessite malheureusement, l'implantation et la dissimulation d'une clef secrète et d'un programme spécifique avec un

algorithme secret de sécurisation dans le périphérique (la cassette). Cette contrainte est un frein au développement de ce type de technologie.

Objet et résumé de l'invention

L'invention permet de résoudre les inconvénients précités.

A cet effet, la Demanderesse choisit une approche très différente qui n'est basé ni sur un mécanisme d'identification, ni sur un mécanisme d'authentification.

Plus précisément, et selon un premier aspect, l'invention concerne une unité matérielle pour contrôler l'accès, par un processeur, à un périphérique de ce processeur, cette unité matérielle comportant :

- des moyens de déclenchement d'une interruption du processeur, dite interruption de contrôle ;
- des moyens d'obtention, en provenance de ce processeur et consécutivement à ce déclenchement, d'un code d'autorisation d'accès au périphérique ;
- des moyens de comparaison de ce code d'autorisation d'accès avec une valeur de référence prédéterminée ; et
- des moyens dits de validation adaptés à générer un signal électrique de validation d'un signal électrique d'accès au périphérique, en fonction du résultat de ladite comparaison.

Ainsi, le mécanisme selon l'invention repose sur l'émission, par le processeur, de codes d'autorisation d'accès, contrôlés par une unité matérielle, placée devant le périphérique, en coupure de bus.

De façon très avantageuse, le code d'autorisation d'accès est reçu par l'unité matérielle de contrôle d'accès, après que celle-ci ait fait une requête explicite au processeur pour l'obtention de ce code, sous la forme d'une interruption dirigée vers ce processeur. L'unité matérielle sait ainsi de façon certaine, que le code d'autorisation d'accès lui a été fourni par le processeur.

Cette caractéristique permet d'obtenir un contrôle d'accès au périphérique très efficace car elle permet de s'assurer que le code d'autorisation d'accès est reçu de façon certaine en provenance d'un organe de confiance constitué par la routine d'interruption de contrôle.

Autrement dit, l'invention repose sur l'utilisation d'un composant logiciel, (programme informatique) qui constitue un point unique d'accès au périphérique, et qui contrôle en coopération et via l'unité matérielle de contrôle d'accès, le signal électrique d'accès au périphérique.

Ce composant logiciel est préférentiellement situé dans une zone sûre et contrôlée du processeur.

L'invention permet ainsi de contrôler l'accès au périphérique d'un processeur en validant au plus bas niveau, et de façon matérielle, le signal électrique d'accès à ce périphérique. Ce périphérique peut notamment être choisi parmi un écran, un clavier, une mémoire, un contrôleur d'une interface de communication, une unité de gestion mémoire (MMU) ou une unité de protection de mémoire (MPU).

Lorsque l'invention est utilisée pour contrôler l'accès en écriture à la mémoire flash comportant le code de démarrage (boot loader), elle permet la mise à jour de ce code de démarrage sans intervention physique, tout en protégeant ce code de manipulations frauduleuses.

Dans la suite de ce document, nous appellerons "périphérique" tout type de composant électronique (écran, clavier, mémoire, interface de communication, interface de carte à puce, MMU, MPU, ...), que ceux-ci soient discrets ou "intégrés" dans des FPGA ou ASIC.

De même, nous appellerons "signal électrique d'accès" tout signal électrique devant être activé pour la sélection (signal de type « ChipSelect », CS) du périphérique ou l'écriture (signal de type "WRITE-ENABLE", WE) sur ce périphérique.

De même nous appellerons « interruption », tout moyen adapté à dérouter l'exécution d'un logiciel, de façon asynchrone ou non.

Afin de renforcer considérablement la sécurité du système, l'interruption de contrôle est une interruption non masquable, ce qui signifie qu'il n'est pas possible de masquer le déroutement précité.

L'homme du métier comprendra, qu'en fonction de l'architecture choisie, différents types de signaux peuvent être utilisés à cet effet, et notamment :

- le signal NMI pour l'architecture de la famille INTEL x86 ;
- le niveau IPL<7> pour l'architecture de la famille MOTOROLA 68K

- les cycles d'erreur d'adresse ou de data liés au signal /BERR sur l'architecture MC68K,
- les 'ABORT exception' sur l'architecture ARM7TDMI.

Conformément à la présente invention, un accès au périphérique ainsi protégé n'est possible que sur présentation à l'unité matérielle de contrôle d'accès audit périphérique d'un code d'autorisation d'accès compatible avec la valeur de référence prédéterminée connue de cette unité matérielle.

L'invention permet ainsi notamment la protection d'une mémoire dite sécurisée, du type par exemple de celle contenue dans un téléphone mobile conforme à la norme GSM pour la mémorisation des conditions commerciales souscrites par abonnement avec un opérateur (SIM Lock).

La substitution frauduleuse de ces règles SIM-Lock ne devient possible que sur présentation d'un code d'autorisation d'accès valide à l'unité matérielle de contrôle de l'accès à cette mémoire.

L'invention permet aussi de mettre à jour le BIOS ou le système d'exploitation d'un appareil, à distance. On pourra donc aisément mettre à jour les téléphones portables, et ce, directement avec la liaison sans fil GSM, sans que le client ne se déplace vers un centre de mise à jour.

L'invention peut ainsi être utilisée pour empêcher toute modification frauduleuse du BIOS d'un PC, ce qui augmente grandement la sécurité de ce PC, notamment quand le BIOS contient des mécanismes de sécurité de plus haut niveau.

Préférentiellement, l'unité matérielle de contrôle comporte en outre des moyens d'obtention d'un code de déclenchement, et les moyens de déclenchement de l'interruption de contrôle sont adaptés à déclencher l'interruption consécutivement à l'obtention du code de déclenchement.

Ce code de déclenchement peut par exemple être envoyé par le processeur avant tout accès au périphérique. On met ainsi un mécanisme totalement bouclé entre le processeur et l'unité matérielle qui fait que l'unité matérielle de contrôle d'accès sollicite systématiquement un code d'autorisation d'accès auprès du processeur avant de valider le signal d'accès.

Préférentiellement, l'unité matérielle de contrôle d'accès comporte des moyens de comparaison de ce code de déclenchement avec la valeur de

référence prédéterminée, lesdits moyens de déclenchement étant adaptés à déclencher l'interruption de contrôle en fonction du résultat de ladite comparaison.

Ainsi, sur présentation d'un code de déclenchement erroné, un autre traitement peut être mis en place, comme explicité ci-dessous.

Ainsi, dans une variante de réalisation, l'unité matérielle de contrôle d'accès selon l'invention comporte des moyens de déclenchement d'une interruption du processeur, dite interruption d'alarme, lorsque ledit code d'autorisation d'accès ou ledit code de déclenchement est différent de la valeur de référence prédéterminée. Cette interruption d'alarme est préférentiellement une interruption non masquable.

Dans une première variante de réalisation, la valeur de référence prédéterminée est une constante.

La routine d'interruption de contrôle peut ainsi autoriser l'accès au périphérique en envoyant simplement la constante à l'unité matérielle de contrôle. Cette variante est particulièrement simple à mettre en œuvre.

Dans une deuxième variante de réalisation, l'unité matérielle de contrôle d'accès selon l'invention comporte des moyens de génération de la valeur de référence précitée selon une loi prédéterminée.

Cette caractéristique permet avantageusement de renforcer le contrôle d'accès au périphérique car le pirate devrait au surplus connaître la loi prédéterminée pour être en mesure de présenter un code d'autorisation d'accès valide à l'unité matérielle de contrôle d'accès.

Dans un mode préféré de cette deuxième variante de réalisation, la valeur de référence prédéterminée est un compteur initialisé à la mise sous tension de l'unité matérielle, et la loi prédéterminée consiste à incrémenter ce compteur à chaque obtention du code d'autorisation d'accès.

La mise en œuvre de cette loi prédéterminée peut notamment être réalisée par un compteur associé à un automate d'états finis, ce qui évite l'utilisation plus onéreuse d'un (co-)processeur, et limite le coût de fabrication de l'unité matérielle dans son ensemble.

Selon une autre caractéristique avantageuse, les moyens de validation de l'unité matérielle de contrôle d'accès au périphérique comportent des moyens de combinaison logique adaptés à :

- recevoir un signal électrique de demande d'accès à ce périphérique ;
- recevoir le signal de validation; et
- valider le signal électrique d'accès en fonction d'un état du signal électrique de demande d'accès, d'un état du signal de validation, et d'une logique représentée dans une table de vérité.

Selon cette caractéristique, on valide ainsi l'accès au périphérique lorsque deux conditions sont réunies, à savoir d'une part la présence d'une demande d'accès au périphérique par un composant tiers, par exemple un processeur, et d'autre part lorsque le résultat des comparaisons précitées est représentatif de l'obtention d'un code d'autorisation d'accès valide par l'unité matérielle du contrôle.

Préférentiellement, le signal d'accès résulte de la combinaison "ET logique" entre le signal de demande d'accès et le signal de validation. Ce moyen de réalisation est particulièrement aisé à mettre en œuvre.

Dans un mode préféré de réalisation, l'unité matérielle de contrôle d'accès selon l'invention, comporte des moyens de lecture d'un état du signal électrique de demande d'accès, et des moyens de déclenchement d'une interruption d'alarme, préférentiellement non masquable, en fonction de cet état et de l'état du signal électrique de validation d'accès.

Cette caractéristique permet avantageusement de déclencher cette interruption d'alarme, lorsque l'état du signal électrique de demande d'accès est représentatif d'une demande d'accès au périphérique, sans qu'un code d'autorisation d'accès n'ait été présenté à l'unité matérielle de contrôle d'accès.

Dans un mode préféré de réalisation, l'unité matérielle de contrôle d'accès selon l'invention comporte des moyens d'inhibition du signal de validation, cette inhibition étant préférentiellement effectuée consécutivement à un ou plusieurs accès au périphérique.

Cette caractéristique permet avantageusement de renforcer le contrôle d'accès au périphérique, puisque celui-ci doit s'exercer régulièrement, voire même avant chaque accès au périphérique.

Dans un autre mode de réalisation, l'inhibition du signal de validation est effectuée après un délai prédéterminé compté à partir de la génération du signal électrique de validation d'accès, ou à partir de l'obtention du code d'accès.

Cette caractéristique permet avantageusement d'autoriser l'accès au périphérique sans contrôle durant ce délai, ce qui améliore les performances globales du système. Cette caractéristique est particulièrement intéressante lorsque le volume de données échangées avec ce périphérique est important comme dans le cas d'un écran.

Corrélativement, l'invention vise un procédé pour contrôler l'accès, par un processeur, à un périphérique de ce processeur. Ce procédé comporte les étapes suivantes :

- déclenchement d'une interruption du processeur, dite interruption de contrôle, préférentiellement non masquable ;
- obtention, en provenance du processeur et consécutivement audit déclenchement, d'un code d'autorisation d'accès au périphérique ;
- comparaison du code d'autorisation d'accès avec une valeur de référence prédéterminée ;
- génération d'un signal électrique de validation d'un signal d'accès au périphérique, en fonction du résultat de ladite étape de comparaison.

Les avantages et caractéristiques particuliers de ce procédé de contrôle d'accès étant les mêmes que ceux décrits précédemment en référence à l'unité matérielle de contrôle, ils ne seront pas rappelés ici. Ce procédé consiste essentiellement à vérifier la validité d'un ou plusieurs code d'autorisation d'accès, nécessairement reçu en provenance d'un organe de confiance, en le comparant à des valeurs de référence prédéterminées (constantes ou générées selon une loi), et à valider un signal électrique d'accès au périphérique en fonction de cette comparaison.

Selon un autre aspect, l'invention concerne un processeur comportant une unité matérielle de contrôle d'accès telle que décrite brièvement ci-dessus. Ce processeur comporte aussi :

- des moyens de mise en œuvre d'une routine d'interruption de contrôle adaptée à obtenir le code d'autorisation d'accès ; et

- des moyens d'envoi de ce code d'autorisation d'accès à l'unité matérielle de contrôle d'accès.

Dans ce mode préféré de réalisation de l'invention, l'unité matérielle de contrôle d'accès décrite précédemment est embarquée au sein d'un processeur, ce processeur comportant des moyens d'envoi à l'unité matérielle de contrôle, du code d'autorisation d'accès à un périphérique donné.

Ce mode préféré de réalisation de l'invention renforce considérablement le contrôle de l'accès à ce périphérique, car il devient alors impossible de contourner physiquement, ou autrement dit de shunter, l'unité matérielle de contrôle d'accès.

Préférentiellement, le processeur selon l'invention comporte le périphérique auquel il protège l'accès.

Ce périphérique peut notamment être une unité de gestion de mémoire.

L'invention peut protéger ainsi l'accès à l'unité de gestion de la mémoire (MMU). Ceci permet de créer deux environnements systèmes rigoureusement étanches sur un même processeur. Si de plus, on assure un espace d'échanges de données contrôlées entre ces deux environnements, l'homme du métier comprendra que l'on peut aisément construire des appareils dont certaines fonctions (système d'exploitation ou applications sensibles de type paiement, authentification, protection des droits des auteurs et de la copie) sont isolées des applications plus ouvertes et donc plus sensibles aux attaques (Browser Internet, chargement de jeux, de vidéo, email etc..).

Le périphérique contenu dans le processeur selon l'invention peut également être un contrôleur d'écriture dans la mémoire d'amorçage du processeur.

Ce mode préféré de réalisation permet ainsi de sécuriser la mémoire d'amorçage du processeur, cette protection rendant impossible la modification frauduleuse des données contenues dans cette mémoire, zone dont la sécurité est très critique en ce qu'elle héberge souvent des appels à des procédures de sécurisation de plus haut niveau.

Corrélativement, l'invention concerne un procédé de gestion d'accès à un périphérique. Ce procédé de gestion comporte une étape de mise en œuvre d'une routine associée à une interruption de contrôle, préférentiellement non

masquable. Cette routine de contrôle comporte une étape d'envoi d'un code d'autorisation d'accès à une unité matérielle de contrôle d'accès telle que décrite brièvement ci-dessus.

Dans une première variante de réalisation, le code de contrôle d'accès est une constante, lue à partir d'une mémoire protégée.

Dans une deuxième variante de réalisation, le procédé de gestion d'accès comporte en outre une étape de génération d'un code d'autorisation d'accès selon une loi prédéterminée.

L'homme du métier comprendra aisément qu'il est préférable, dans cette première variante de réalisation, de masquer toutes les interruptions, sans quoi un accès illicite au périphérique pourrait être effectué par une interruption mal intentionnée dans l'intervalle de temps compris entre la lecture de la constante dans la mémoire protégée et le déclenchement de la routine d'interruption non masquable de contrôle.

Les avantages et caractéristiques particuliers de ce procédé de gestion d'accès étant les mêmes que ceux décrits brièvement ci-dessus en référence au processeur selon l'invention, ils ne sont pas rappelés ici. Ce procédé consiste essentiellement à fournir, en provenance d'un organe de confiance (à savoir le processeur mettant en œuvre la routine d'interruption de contrôle) des codes d'autorisation d'accès, ces codes étant comparés par l'unité matérielle de contrôle avec des valeurs de référence prédéterminées (constantes ou générées selon une loi) pour autoriser ou non l'accès au périphérique.

L'invention vise aussi un programme informatique comportant une instruction d'accès à un périphérique et une instruction d'envoi d'un code de déclenchement à une unité matérielle de contrôle d'accès à ce périphérique telle que décrite brièvement ci-dessus, préalablement à l'exécution de cette instruction d'accès.

Préférentiellement, ce programme informatique comporte en outre des moyens de génération du code de déclenchement selon la loi prédéterminée de génération du code d'autorisation d'accès.

Ce programme informatique constitue un point unique d'accès au périphérique, préférentiellement situé dans une zone sûre et contrôlée du

processeur. Ce programme contrôle, en coopération avec l'unité matérielle, le signal électrique d'accès à ce périphérique.

L'invention vise aussi un processeur adapté à mettre en œuvre un procédé de contrôle d'accès, un procédé de gestion d'accès, et/ou un programme informatique tels que décrits brièvement ci-dessus.

Brève description des dessins

D'autres aspects et avantages de la présente invention apparaîtront plus clairement à la lecture du mode particulier de réalisation qui va suivre, cette description étant donnée uniquement à titre d'exemple non limitatif et faite en référence aux dessins annexés, sur lesquels :

- la figure 1 représente un processeur conforme à l'invention dans un premier mode de réalisation,

- la figure 2 représente un processeur conforme à l'invention dans un deuxième mode de réalisation,

- la figure 3 représente une unité matérielle de contrôle d'accès conforme à l'invention dans un mode préféré de réalisation,

- les figures 4a et 4b représentent sous forme d'automates, les principales étapes de procédés de contrôle d'accès conformes à l'invention,

- la figure 5 représente sous forme d'organigramme, les principales étapes d'une routine d'interruption de contrôle conforme à l'invention dans un mode préféré de réalisation ; et

- la figure 6 représente, sous forme d'organigramme, les principales étapes d'un programme accédant à un périphérique protégé, conformément à la présente invention.

Description détaillée de plusieurs modes de réalisation

L'exemple de réalisation de l'invention décrit ici concerne plus particulièrement la protection de l'accès à une mémoire d'amorçage contenue dans un processeur.

La **figure 1** représente un processeur 110 conforme à l'invention dans un mode préféré de réalisation.

Le processeur 110 comporte une mémoire d'amorçage 120 (en anglais BOOT-ROM) et une mémoire volatile RAM protégée. Cette mémoire d'amorçage 120 comporte une table de vecteurs d'interruption VECT, deux routines

d'interruption, respectivement de contrôle IRT1 et d'alarme IRT2, et un programme informatique PROG.

Ce programme informatique PROG est un programme de contrôle d'un périphérique P interne au processeur, un tel programme étant habituellement connu sous le nom de pilote (en anglais : « driver »).

Dans le mode préféré de réalisation décrit ici, le périphérique P interne au processeur est un contrôleur d'écriture pour la mémoire d'amorçage 120 précitée.

Le processeur 110 comporte une unité matérielle 20 de contrôle d'accès au périphérique P, conforme à la présente invention.

Cette unité matérielle de contrôle d'accès 20 comporte des moyens d'obtention d'un code Code-DD de déclenchement et d'un code Code-AA d'autorisation d'accès au périphérique P.

Dans le mode de réalisation décrit ici, le code de déclenchement Code-DD et le code d'autorisation d'accès Code-AA sont obtenus dans un même registre 21.

Dans le mode préféré de réalisation décrit ici :

- le code Code-AA d'autorisation d'accès est écrit dans le registre 21 par la routine d'interruption de contrôle IRT1 ; et

- et le code de déclenchement Code-DD est écrit dans le registre 21 par le pilote PROG du périphérique P.

En effet, conformément à l'invention, avant chaque instruction (WRITE, READ,...) d'accès au périphérique P, le programme informatique PROG écrit un code de déclenchement Code-DD dans le registre 21 de l'unité matérielle 20.

Dans le mode de réalisation décrit ici, le code de déclenchement Code-DD et le code d'autorisation d'accès Code-AA sont deux valeurs successives d'une même variable calculées selon la loi d'incrémentation prédéterminée.

Cette variable est mémorisée dans une zone protégée de la volatile RAM du processeur. Cette mémoire n'est accessible qu'au programme informatique PROG et à la routine d'interruption de contrôle IRT1.

L'unité matérielle de contrôle d'accès 20 comporte également des moyens 24 adaptés à générer, selon une loi prédéterminée, une valeur de référence

Code-UMCA lorsqu'un code d'autorisation Code-AA ou un code de déclenchement Code-DD est écrit dans le registre 21.

Dans le mode préféré de réalisation décrit ici, cette loi consiste à incrémenter le compteur Code-UMCA, celui-ci étant initialisé à la mise sous tension du processeur 110.

L'unité matérielle de contrôle d'accès 20 comporte également des moyens 22 de comparaison du code d'autorisation d'accès Code-AA (et du code de déclenchement Code-DD) obtenu dans le registre 21 avec la valeur de référence prédéterminée Code-UMCA, calculée par les moyens 24 de génération de cette valeur.

Dans le mode préféré de réalisation décrit ici, ces moyens de comparaison 22 sont constitués par une logique câblée.

Quoiqu'il en soit, ces moyens de comparaison 22 sont adaptés à envoyer un premier signal à une unité 26 de déclenchement d'une interruption, lorsque le code de déclenchement Code-DD est comparé égal à la valeur courante du code de référence Code-UMCA. Ceci sera décrit ultérieurement en référence à la figure 4a.

Sur réception de ce premier signal, les moyens 26 de déclenchement d'une interruption génèrent un signal d'interruption. Ce signal d'interruption est dans l'exemple décrit ici un signal d'interruption non masquable NMI1.

Sur réception de ce signal d'interruption non masquable NMI1, le processeur exécute, grâce à la table de vecteur d'interruption VECT, la routine d'interruption de contrôle IRT1.

Cette routine d'interruption de contrôle IRT1 met en œuvre une fonction informatique Gen-Code adaptée à calculer une nouvelle valeur du code d'autorisation d'accès Code-AA selon une loi prédéterminée, à mémoriser cette nouvelle valeur dans la mémoire protégée, et à écrire cette nouvelle valeur Code-AA dans le registre 21 de l'unité matérielle de contrôle d'accès 20.

Cette loi prédéterminée est identique à celle mise en œuvre par les moyens 24 de génération de la valeur de référence Code-UMCA. Ainsi, dans le mode de réalisation préféré décrit ici, cette loi est une loi d'incrémentation et le code d'autorisation d'accès Code-AA est égal à la valeur du code de déclenchement Code-DD plus un.

Lorsque les moyens 21 d'obtention du code d'autorisation d'accès Code-AA reçoivent ce code d'autorisation Code-AA en provenance de la routine d'interruption IRT1 de contrôle, les moyens 24 de génération d'une valeur de référence Code-UMCA génèrent une nouvelle valeur de référence selon la loi prédéterminée d'incrémentation.

Ces deux nouvelles valeurs sont alors comparées par les moyens 22 de comparaison décrits précédemment.

Conformément à l'invention, les moyens 22 de comparaison sont adaptés à positionner une valeur représentative du résultat de la comparaison de ces deux nouvelles valeurs dans une bascule 23 de l'unité matérielle de contrôle d'accès 20.

Dans l'exemple de réalisation décrit ici, nous supposerons que la logique câblée 22 positionne la valeur 1 dans la bascule 23 lorsque le nouveau code d'autorisation d'accès Code-AA et la nouvelle valeur de référence prédéterminée Code-UMCA sont égaux.

Ainsi, dans ce mode préféré de réalisation décrit ici, le contenu de la bascule 23 est positionné à 1 lorsque les codes de déclenchement Code-DD et d'autorisation Code-AA reçus successivement en provenance du pilote PROG et de la routine d'interruption de contrôle IRT1 sont égaux aux deux valeurs de référence code–UMCA prédéterminées générées par les moyens 24 sur réception des codes.

Conformément à ce mode préféré de réalisation, lorsque la bascule 23 est positionnée à 1, celle-ci génère un signal électrique de validation SIG-VAL à destination de moyens de combinaison logique 25 de l'unité matérielle de contrôle d'accès 20.

Ainsi dans ce mode préféré de réalisation, le signal de validation SIG-VAL est généré, lorsque les deux conditions précitées sont réunies.

Avant de transmettre le code de déclenchement Code-DD à l'unité matérielle de contrôle d'accès 20, le pilote PROG génère une nouvelle valeur selon la loi prédéterminée, c'est-à-dire dans le mode décrit ici, l'incrémente, et mémorise cette nouvelle valeur dans la mémoire volatile RAM protégée.

Le pilote du périphérique P exécute ensuite une instruction d'accès au périphérique P.

De façon connue de l'homme du métier, cette instruction génère, en sortie d'un décodeur d'adresse 27, un signal électrique d'accès, de type Chip-Select CS à destination du périphérique P.

Conformément à la présente invention, ce signal d'accès n'est pas directement transmis au périphérique P, mais vient en entrée des moyens de combinaison logique 25 précités.

Dans la suite de ce document, ce signal sera dénommé signal électrique de demande d'accès CS-RQ.

Les moyens de combinaison logique 25 qui reçoivent en entrée d'une part le signal électrique CS-RQ de demande d'accès au périphérique P et, d'autre part, le signal de validation SIG-VAL comportent également une table de vérité adaptée, de façon connue, à générer un signal d'accès de type « chip select » CS, à destination du périphérique P.

Cette table de vérité 25 permet en d'autres termes la validation du signal électrique d'accès au périphérique P, au sens de la présente invention.

Dans le mode préféré de réalisation décrit ici, le signal d'accès CS en sortie des moyens 25 de combinaison logique est fourni en entrée de la bascule 23.

Dans ce mode de réalisation, lorsqu'un accès au périphérique P est réalisé, c'est-à-dire lorsque l'état du signal d'accès CS est haut, la valeur de la bascule 23 est remise à 0.

Ceci a pour effet d'inhiber le signal de validation SIG-VAL en sortie de cette même bascule 23 et donc d'invalider tout accès au périphérique P.

Dans un autre mode de réalisation, le signal de validation SIG-VAL est inhibé non pas à chaque accès au périphérique P, mais de façon cyclique, par exemple tous les cinq accès.

Dans un autre mode de réalisation préféré, le signal d'accès CS n'est pas rebouclé sur la bascule 23, celle-ci étant adaptée à inhiber automatiquement le signal de validation SIG-VAL après un délai prédéterminé compté à partir de la génération de ce même signal, ou à partir de l'obtention du code de déclenchement Code-DD.

Dans le mode préféré de réalisation décrit ici, les moyens de comparaison 22 sont adaptés à envoyer un deuxième signal à l'unité 26 de déclenchement

d'une interruption lorsqu'elle détecte, par comparaison, qu'un code obtenu dans le registre 21 est différent de la valeur de référence prédéterminée Code-UMCA générée sur réception de ce code.

Sur réception de ce deuxième signal, les moyens 26 de déclenchement d'une interruption envoient un deuxième signal d'interruption à la mémoire d'amorçage 120. Dans le mode décrit ici, il s'agit d'un signal d'interruption non masquable NMI2.

Ainsi, si un programme hostile écrit un code aléatoire dans le registre 21, les moyens de comparaison 22 déclencheront une interruption non masquable NMI2.

Sur réception de ce deuxième signal d'interruption, le processeur exécute la routine d'interruption d'alarme IRT2 pour le traitement d'accès frauduleux au périphérique P.

La **figure 2** représente un autre processeur 210 conforme à la présente invention dans un autre mode de réalisation.

La seule différence entre ce processeur 210 et le processeur 110 décrit précédemment en référence à la figure 1, est que le processeur 210 est utilisé pour contrôler l'accès à un périphérique P externe.

Toutes les caractéristiques autres étant identiques, il ne sera pas décrit plus en avant ici.

La **figure 3** représente une unité matérielle de contrôle d'accès 20, sous forme d'un composant externe à un processeur 10.

Dans ce mode de réalisation de l'invention, le processeur 10 coopérant avec l'unité matérielle de contrôle d'accès 20, comporte une mémoire d'amorçage 120 identique à celle décrite précédemment en référence au processeur 110 de la figure 1.

L'unité matérielle de contrôle d'accès 20 de cette figure est identique à celle décrite précédemment en référence à la figure 1 et ne sera pas détaillée ci-après.

La **figure 4a** représente sous forme d'automate à états finis les principales étapes d'un procédé de contrôle d'accès conforme à l'invention dans un mode préféré de réalisation.

Sur cette figure, les « bulles » représentent des états, les flèches des transitions, et les rectangles des conditions nécessaires et suffisantes à la réalisation des transitions.

Dans la suite de la description, on emploiera indifféremment les terminologies « étape » ou « état » connues de l'homme du métier des programmes informatiques.

Cet automate comporte un premier état E10 d'initialisation, duquel on sort (transition E15) lorsque la valeur de référence prédéterminée Code-UMCA est initialisée avec une valeur initiale, par exemple zéro, puis mémorisée dans la mémoire volatile RAM.

On entre alors dans un état d'attente E20.

Lorsque dans cet état d'attente E20 l'unité matérielle de contrôle d'accès reçoit un code de déclenchement Code-DD (transition E25), on entre dans un état E30 de comparaison de ce code de déclenchement Code-DD avec la valeur de référence prédéterminée Code-UMCA.

En revanche, lorsque dans cet état d'attente E20, on détecte un signal électrique de demande d'accès CS-RQ au périphérique P (transition E22), on entre dans un état E100 de déclenchement d'une interruption non masquable d'alarme NMI2.

On quitte automatiquement cet état E100 de déclenchement d'une interruption non masquable d'alarme NMI2, pour entrer dans un état E110 de gestion d'alarme.

Dans un mode de réalisation préféré, l'état E110 de gestion d'alarme entraîne l'exécution d'un code terminal, (génération d'une condition de RESET). Dans d'autres modes de réalisations, diverses réactions sont envisageables en fonction de l'application. Ces modes de réalisation ne sont pas l'objet de ce brevet et ne seront pas détaillés ici.

Une fois cette procédure de gestion d'alarme terminée, on peut effacer l'alarme et revenir dans l'état E20 d'attente décrit précédemment

Lorsque depuis l'état E30 de comparaison, on détermine que le code de déclenchement Code-DD est différent de la valeur de référence prédéterminée Code-UMCA (transition E85), on entre dans l'état E100 de déclenchement d'une interruption d'alarme non masquable NMI2 décrit précédemment.

En revanche, lorsque depuis l'état E30 de comparaison, on détermine que la valeur du code de déclenchement Code-DD est égale à la valeur de référence prédéterminée Code-UMCA (transition E31), on entre dans un état E32 de génération d'une nouvelle valeur de référence prédéterminée Code-UMCA selon la loi d'incrémentation prédéterminée.

Cet état E32 de génération d'une nouvelle valeur de référence Code-UMCA, est suivi d'un état E34 de déclenchement d'une interruption non masquable de contrôle NMI1.

Une fois cette interruption non masquable de contrôle NMI1 déclenchée, on entre dans un état E36 d'attente d'un code d'autorisation d'accès Code-AA.

Si dans cet état E36 d'attente d'un code d'autorisation d'accès code AA, on détecte un signal électrique de demande d'accès CS-RQ (transition E90) , on entre dans l'état E100 de déclenchement d'une interruption d'alarme non masquable NMI2.

En revanche, lorsque dans l'état E36 d'attente, on obtient un code d'autorisation d'accès Code-AA (transition E37) , on entre dans un état E38 de comparaison de ce code d'autorisation d'accès Code-AA avec une nouvelle valeur de référence courante Code-UMCA.

Si au cours de cette état E38 de comparaison on détermine que le code d'autorisation d'accès Code-AA est différent de la valeur de référence Code-UMCA (transition E95), on entre dans l'état E100 de déclenchement d'une interruption non masquable d'alarme NMI2.

En revanche, si ces deux valeurs sont égales (transition E39), on sort de l'état E38 de comparaison pour entrer dans un état E40 de génération d'une nouvelle valeur de référence Code-UMCA.

On sort automatiquement de cet état E40 de génération pour entrer dans un état E50 de génération d'un signal électrique de validation SIG-VAL du signal d'accès au périphérique P.

Ensuite, et automatiquement, on quitte cet état E50 de génération du signal électrique de validation SIG-VAL pour entrer dans un état E60 dans lequel on attend que l'accès au périphérique P ait effectivement lieu.

Lorsque dans cet état E60 d'attente on détecte que l'accès a effectivement eu lieu (transition E65), on entre dans un état E70 dans lequel on inhibe le signal de validation SIG-VAL.

On sort ensuite automatiquement de cet état E70 d'inhibition pour retourner à l'état d'attente E20 décrit précédemment.

Dans un autre mode de réalisation, lorsque dans l'état E60 d'attente on détecte l'obtention d'un code dans le registre 21 (transition E67), on entre dans l'état E100 de déclenchement d'une interruption non masquable d'alarme NMI2, ce code d'autorisation d'accès ayant nécessairement été envoyé à l'unité matérielle de contrôle d'accès par un tiers mal intentionné. Ce mode de réalisation permet de renforcer la sécurité du système en détectant des accès frauduleux au périphérique après la validation de l'accès (état E60).

La **figure 4b** représente un diagramme d'état d'un procédé de contrôle d'accès conforme à l'invention dans un deuxième mode de réalisation.

Ce mode de réalisation de l'invention est simplifié dans le sens où il ne comporte pas d'étape E25 de réception d'un code de déclenchement Code-DD. Bien entendu toute étape (E30, E31, E32, E85) de traitement de ce code de déclenchement Code-DD est supprimée.

L'étape E25 est remplacée par une étape E26 de déclenchement, celui-ci pouvant se réaliser par tout moyen connu de l'homme du métier susceptible de générer une interruption.

L'étape E26 de déclenchement est suivie automatiquement par l'étape E34 de génération d'une interruption non masquable NMI1 de contrôle décrite en référence à la figure 4a.

Dans ce mode de réalisation, le code d'autorisation Code-AA étant une constante, l'étape E40 de génération d'une valeur de référence Code-UMCA est supprimée.

La routine d'interruption de contrôle IRT1 présente dans le registre 21 la valeur mémorisée par le programme informatique PROG dans la mémoire protégée.

La **figure 5** représente les principales étapes E500 à E520 d'une routine d'interruption non masquable de contrôle IRT1 mise en œuvre par un processeur conforme à l'invention dans un mode préféré de réalisation.

Cette routine est activée lorsque l'unité matérielle de contrôle d'accès 20 génère une interruption non masquable de contrôle NMI1.

La routine IRT1 décrite ici comporte une première étape E500 au cours de laquelle on mémorise dans une variable VA le contenu d'une variable Code-AA comportant le code d'autorisation d'accès du même nom.

Dans le mode de réalisation décrit en référence à la figure 4a l'étape E500 de lecture du code d'autorisation d'accès Code-AA est suivie par une étape E510 au cours de laquelle on génère un nouveau code d'autorisation d'accès Code-AA selon la loi prédéterminée décrite précédemment. Au cours de cette même étape, on mémorise cette nouvelle valeur du code d'autorisation d'accès Code-AA dans la mémoire protégée.

L'étape E510 de génération et de mémorisation du nouveau code d'autorisation d'accès Code-AA est suivie par une étape E520 d'envoi du contenu de la variable VA à l'unité matérielle de contrôle d'accès 20.

Dans le mode de réalisation préféré décrit ici, cette étape d'envoi consiste à écrire le contenu de la variable VA dans le registre 21.

Dans le mode de réalisation décrit en référence à la figure 4b, l'étape E500 de lecture du code d'autorisation d'accès Code-AA est suivie par cette étape E520.

Quoi qu'il en soit, l'étape E520 d'envoi du code d'autorisation d'accès est suivie par une instruction de type IRET connue de l'homme du métier, qui consiste d'une part à effacer la source de l'interruption NMI1 et à revenir de ladite interruption.

Le procédé de gestion d'accès conforme à l'invention comporte, de façon optionnelle, une routine d'interruption d'alarme IRT2 en réponse à une interruption non masquable NMI2 en provenance de l'unité matérielle de contrôle d'accès 20.

Cette interruption non masquable d'alarme consiste essentiellement à générer une alerte et/ou à traiter l'accès non autorisé selon des règles adéquates.

La **figure 6** représente les principales étapes E600 à E630 d'un programme informatique PROG comportant des instructions d'accès à un

périphérique P sécurisé conformément à l'invention, dans le mode de réalisation de la figure 4a.

Ce programme informatique comporte deux étapes E600 et E610 identiques ou similaires respectivement aux étapes E500 de lecture du code d'autorisation d'accès, et E510 de génération et de mémorisation d'un code d'autorisation d'accès décrit précédemment en référence à la figure 5.

Ainsi, au cours de ces deux étapes, le programme informatique P mémorise dans une variable VA le contenu du code de déclenchement Code-DD courant, génère selon la loi prédéterminée (loi d'incrémentation) un nouveau de déclenchement Code-DD, et mémorise cette nouvelle valeur dans la mémoire sécurisée partagée avec la routine d'interruption IRT1.

Préalablement à chaque étape E630 d'accès au périphérique P, le programme informatique PROG comporte une étape E620 au cours de laquelle on envoie le contenu de la variable VA à l'unité de contrôle matériel d'accès 20, ce qui revient, dans le mode de réalisation décrit ici, à écrire le contenu de cette variable dans le registre 21.

Cette étape E620 d'envoi du code d'autorisation d'accès VA à l'unité de contrôle matériel d'accès 20 est suivie par l'étape E630 d'accès au périphérique P.

Dans une mise en œuvre de l'invention selon le mode de réalisation de la figure 4b, le programme informatique PROG comporte une étape E610' de mémorisation d'une valeur constante dans la mémoire protégée du processeur, puis une étape E620' de déclenchement de la première interruption de contrôle non masquable IRT1, préalablement à l'étape E630 d'accès au périphérique.

Après l'accès, une valeur quelconque différente de ladite constante est mémorisée dans la mémoire protégée du processeur.

Cette étape peut également être réalisée par la routine d'interruption de contrôle IRT1.

# REVENDICATIONS

1 – Unité matérielle pour contrôler l'accès (20), par un processeur (10, 110, 120) à un périphérique (P) de ce processeur, ladite unité matérielle (20) comportant :

- des moyens (26) de déclenchement d'une interruption dudit processeur, dite interruption de contrôle ;

- des moyens (21) d'obtention, en provenance dudit processeur et consécutivement audit déclenchement, d'un code d'autorisation d'accès (Code-AA) audit périphérique (P) ;

- des moyens (22) de comparaison dudit code d'autorisation d'accès (Code-AA) avec une valeur de référence prédéterminée (Code-UMCA) ; et

- des moyens dits de validation (22, 23, 25) adaptés à générer un signal électrique de validation (SIG_VAL) d'un signal électrique d'accès (CS, WE, PWR) audit périphérique (P), en fonction du résultat de ladite comparaison.

2 – Unité matérielle de contrôle d'accès selon la revendication 1, caractérisée en ce que ladite interruption de contrôle est une interruption non masquable (NMI1).

3 – Unité matérielle de contrôle selon la revendication 1 ou 2, caractérisée en ce qu'elle comporte en outre des moyens (21) d'obtention d'un code de déclenchement (Code-DD), et en ce que lesdits moyens (26) de déclenchement de ladite interruption de contrôle (NMI1) sont adaptés à déclencher ladite interruption consécutivement à l'obtention dudit code de déclenchement (Code-DD).

4 – Unité matérielle de contrôle d'accès selon la revendication 3, caractérisée en ce qu'elle comporte en outre des moyens (22) de comparaison dudit code de déclenchement (Code-DD) avec ladite valeur de référence prédéterminée (Code-UMCA), et en ce que lesdits moyens (26) de déclenchement, sont adaptés à déclencher ladite interruption de contrôle (NMI1) en fonction du résultat de ladite comparaison.

5 - Unité matérielle de contrôle d'accès selon l'une quelconque des revendications 1 à 4, caractérisée en ce qu'elle comporte des moyens (26) de déclenchement d'une interruption dudit processeur, dite interruption d'alarme,

lorsque ledit code d'autorisation d'accès (Code-AA) ou ledit code de déclenchement (Code-DD) est différent de la valeur de référence prédéterminée (Code-UMCA).

6 – Unité matérielle de contrôle d'accès selon la revendication 5, caractérisée en ce que ladite interruption d'alarme est une interruption non masquable (NMI2).

7 – Unité matérielle de contrôle d'accès selon l'une quelconque des revendications 1 à 6, caractérisée en ce que ladite valeur de référence prédéterminée (Code-UMCA) est une constante.

8 - Unité matérielle de contrôle d'accès selon l'une quelconque des revendications 1 à 6, caractérisée en ce qu'elle comporte des moyens (24) de génération de ladite valeur de référence (Code-UMCA) selon une loi prédéterminée.

9 - Unité matérielle de contrôle d'accès selon la revendication 8, caractérisée en ce que ladite valeur de référence prédéterminée (Code-UMCA) est un compteur initialisé à la mise sous tension de ladite unité matérielle (UMCA), et en ce que, selon ladite loi prédéterminée, on incrémente ledit compteur à chaque obtention dudit code d'autorisation d'accès (Code-AA).

10 - Unité matérielle de contrôle d'accès selon l'une quelconque des revendications 1 à 9, caractérisée en ce que lesdits moyens de validation (22, 23, 25) comportent des moyens de combinaison logique (25) adaptés à :

- recevoir un signal électrique de demande d'accès (CS-RQ, WE-RQ) audit périphérique (P) ;

- recevoir ledit signal de validation (SIG_VAL) ; et

- valider ledit signal électrique d'accès (CS, WE) en fonction d'un état (RQ_0, RQ_1) dudit signal électrique de demande d'accès (CS-RQ, WE-RQ), d'un état (VAL_0, VAL_1) dudit signal de validation, et d'une logique représentée dans une table de vérité (25).

11 - Unité matérielle de contrôle d'accès selon la revendication 10, caractérisée en ce qu'elle comporte des moyens (26) de lecture d'un état (RQ_0, RQ_1) dudit signal électrique de demande d'accès (CS_RQ, WE_RQ), et des moyens (26) de déclenchement d'une interruption dudit processeur, dite interruption d'alarme (NMI2), préférentiellement non masquable, en fonction de

cet état (RQ_0, RQ_1) et dudit état (VAL_0, VAL_1) dudit signal électrique de validation d'accès (SIG_VAL).

12 - Unité matérielle de contrôle d'accès selon l'une quelconque des revendications 1 à 11, caractérisée en ce qu'elle comporte des moyens d'inhibition (23) dudit signal de validation (SIG_VAL).

13 – Unité matérielle de contrôle d'accès selon la revendication 12, caractérisé en ce que lesdits moyens d'inhibition (23) sont adaptés à inhiber ledit signal de validation (SIG_VAL) consécutivement à au moins un accès audit périphérique (P).

14 – Unité matérielle de contrôle d'accès selon la revendication 12 ou 13, caractérisée en ce que lesdits moyens d'inhibition (23) sont adaptés à inhiber ledit signal de validation (SIG_VAL) après un délai prédéterminé compté à partir de la génération dudit signal électrique de validation d'accès (SIG_VAL), ou à partir de l'obtention dudit code d'accès (Code-AA).

15 - Processeur (110) caractérisé en ce qu'il comporte :

- une unité matérielle de contrôle d'accès (20) selon l'une quelconque des revendications 1 à 14 ;

- des moyens (VECT) de mise en œuvre d'une routine d'interruption de contrôle (IRT1) adaptée à obtenir ledit code d'autorisation d'accès (Code-AA) ; et

- des moyens (IRT1) d'envoi dudit code d'autorisation d'accès (Code-AA) à ladite unité matérielle de contrôle d'accès (20).

16 – Processeur selon la revendication 15, caractérisé en ce que ladite routine d'interruption de contrôle comporte des moyens de lecture dudit code d'accès (Code-AA) à partir d'une mémoire protégée.

17 – Processeur selon la revendication 15 ou 16, caractérisée en ce qu'il comporte en outre des moyens d'envoi d'un code de déclenchement (Code-DD) à ladite unité matérielle de contrôle d'accès (20).

18 - Processeur quelconque des revendications 15 à 17, caractérisé en ce que ladite routine d'interruption de contrôle (IRT1) est adaptée à générer ledit code d'accès (Code-AA) selon une loi prédéterminée.

19 - Processeur selon la revendication 18, caractérisé en ce que ledit code d'accès (Code-AA) est un compteur, en ce que ladite loi prédéterminée consiste à initialiser ledit compteur (Code-AA) lors de la mise sous tension dudit

processeur (110), et à incrémenter ledit compteur à chaque envoi dudit code (Code-AA) à ladite unité matérielle (20).

20 - Processeur selon l'une quelconque des revendications 15 à 19, caractérisé en ce qu'il comporte en outre des moyens (VECT) de mise en œuvre d'une routine d'interruption d'alarme (IRT2) adaptée à générer une alerte et/ou à inhiber l'utilisation dudit périphérique (P).

21 – Processeur selon l'une quelconque des revendications 15 à 20, caractérisé en ce qu'il comporte ledit périphérique (P), celui-ci pouvant notamment être choisi parmi un contrôleur d'écriture dans une mémoire d'amorçage (120) dudit processeur, une unité de gestion de mémoire (MMU).

22 - Procédé pour contrôler l'accès, par un processeur (10, 110, 120) à un périphérique (P) de ce processeur, caractérisé en ce qu'il comporte les étapes suivantes :

- déclenchement (E34) d'une interruption dudit processeur, dite interruption de contrôle ;

- obtention (E37), en provenance dudit processeur et consécutivement audit déclenchement, d'un code d'autorisation d'accès (Code-AA) audit périphérique (P) ;

- comparaison (E38) dudit code d'autorisation d'accès (Code-AA) avec une valeur de référence prédéterminée (Code-UMCA) ;

- génération (E50) d'un signal électrique de validation (SIG_VAL) d'un signal d'accès (CS, WE, PWR) audit périphérique (P), en fonction du résultat de ladite étape de comparaison (E30).

23 – Procédé de contrôle d'accès selon la revendication 22, caractérisé en ce que ladite interruption de contrôle est une interruption non masquable (NMI1).

24 – Procédé de contrôle d'accès selon la revendication 22 ou 23, caractérisé en ce que ladite étape de déclenchement (E34) est effectuée consécutivement à une étape d'obtention (E25) d'un code de déclenchement (Code-DD).

25 – Procédé de contrôle d'accès selon la revendication 24, caractérisé en ce qu'il comporte en outre une étape (E30) de comparaison du code de déclenchement (Code-DD) avec ladite valeur de référence prédéterminée (Code-

UMCA), et en ce que ladite étape (E34) de déclenchement est effectuée en fonction du résultat de ladite étape de comparaison (E30).

26 - Procédé de contrôle d'accès selon l'une quelconque des revendications 22 à 25, caractérisé en ce qu'elle comporte une étape (E100), de déclenchement d'une interruption dudit processeur, dite interruption d'alarme, lorsque ledit code d'autorisation d'accès (Code-AA) ou ledit code de déclenchement (Code-DD) est différent de la valeur de référence prédéterminée (Code UMCA).

27. Procédé de contrôle d'accès selon la revendication 26, caractérisé en ce que ladite interruption d'alarme est une interruption non masquable (NMI2).

28 – Procédé de contrôle d'accès selon l'une quelconque des revendications 22 à 27, caractérisé en ce que ladite valeur de référence prédéterminée (Code-UMCA) est une constante.

29 – Procédé de contrôle d'accès selon l'une quelconque des revendications 22 à 27, caractérisé en ce qu'il comporte en outre une étape (E40) de génération de ladite valeur de référence (Code-UMCA) selon une loi prédéterminée.

30 - Procédé de contrôle d'accès selon la revendication 29, caractérisé en ce que ladite valeur de référence prédéterminée (Code-UMCA) étant un compteur, il comporte en outre une étape de d'initialisation (E10) dudit compteur, ledit compteur étant incrémenté au cours de ladite étape (E40) de génération.

31 - Procédé de contrôle d'accès selon l'une quelconque des revendications 22 à 30, caractérisé en ce que, au cours de ladite étape (E50) de génération du signal de validation :

- on lit l'état (RQ_0, RQ_1) d'un signal électrique (CS-RQ, WE-RQ) de demande d'accès audit périphérique (P) ;

- on lit l'état (VAL_0, VAL_1) dudit signal de validation (SIG_VAL) ; et

- on valide ledit signal électrique d'accès (CS, WE) en fonction dudit état (RQ_1) dudit signal électrique de demande d'accès (CS_RQ, WE_RQ), dudit état (VAL_1) du signal de validation (SIG_VAL), et en fonction d'une règle logique.

32 - Procédé de contrôle d'accès selon la revendication 31, caractérisé en ce qu'il comporte une étape (E20, E36) de lecture d'un état (RQ_0, RQ_1) dudit signal électrique de demande d'accès (CS_RQ, WE_RQ), et une étape (E100) de déclenchement d'une interruption masquable dudit processeur, dite interruption d'alarme, préférentiellement non masquable (NMI2), en fonction dudit état (RQ_0, RQ_1) et dudit état (VAL_0, VAL_1) dudit signal électrique de validation d'accès (SIG_VAL).

33 - Procédé de contrôle d'accès selon l'une quelconque des revendications 22 à 32 caractérisé en ce qu'il comporte une étape (E70) d'inhibition dudit signal de validation (SIG_VAL).

34 – Procédé de contrôle d'accès selon la revendication 33, caractérisé en ce que ladite étape (E70) d'inhibition est effectuée consécutivement à au moins une étape d'accès (E65) audit périphérique (P).

35 – Procédé de contrôle d'accès selon la revendication 33 ou 34, caractérisé en ce que ladite étape d'inhibition est effectuée après un délai prédéterminé compté à partir de ladite étape (E50) de génération du signal de validation (SIG_VAL) ou à partir de l'étape (E25) d'obtention dudit code de déclenchement (Code-DD).

36 – Procédé de gestion d'accès à un périphérique (P), caractérisé en ce qu'il comporte une étape de mise en œuvre d'une routine (IRT1) associée à une interruption de contrôle, préférentiellement non masquable (NMI1), ladite routine de contrôle comportant une étape (E520) d'envoi d'un code d'autorisation d'accès (Code-AA) à une unité matérielle de contrôle d'accès (20) conforme à l'une quelconque des revendications 1 à 14.

37 – Procédé de gestion d'accès à un périphérique (P) selon la revendication 36, caractérisé en ce qu'il comporte une étape de lecture dudit code d'accès (Code-AA) à partir d'une mémoire protégée en vue dudit envoi.

38 – Procédé de gestion d'accès à un périphérique (P) selon la revendication 36, caractérisé en ce qu'il comporte une étape (E510) de génération, selon une loi prédéterminée, d'un code d'autorisation d'accès (Code-AA) audit périphérique (P), en vue dudit envoi.

39 - Procédé de gestion d'accès selon la revendication 38, caractérisé en ce que ledit code d'autorisation d'accès (Code-AA) étant un compteur, il

comporte en outre une étape d'initialisation dudit compteur (Code-AA), et en ce que ladite étape (E510) de génération consiste à incrémenter ledit compteur (Code-AA) préalablement à chaque envoi (S100) de ce code (Code-AA) à ladite unité matérielle (20).

40 - Procédé de gestion d'accès selon l'une quelconque des revendications 36 à 39, caractérisé en ce qu'il comporte en outre une étape de mise en œuvre d'une routine d'interruption d'alarme (IRT2), ladite routine d'alarme comportant une étape de génération d'une alerte et/ou d'inhibition de l'utilisation dudit périphérique.

41 - Programme informatique comportant une instruction (E630) d'accès à un périphérique (P), caractérisé en ce qu'il comporte une instruction (E620) d'envoi d'un code de déclenchement (Code-DD) à une unité matérielle de contrôle d'accès (20) dudit périphérique (P) conforme à l'une quelconque des revendications 1 à 14, préalablement à l'exécution de ladite instruction d'accès.

42 - Programme informatique selon la revendication 41, caractérisé en ce qu'il comporte en outre des moyens de génération dudit code de déclenchement (Code-DD) selon ladite loi prédéterminée.

43 – Processeur adapté à mettre en œuvre un procédé de contrôle d'accès conforme à l'une quelconque des revendications 22 à 35 et/ou un procédé de gestion d'accès conforme à l'une quelconque des revendications 36 à 40 et/ou un programme informatique conforme à la revendication 41 ou 42.

44 – Utilisation d'une unité matérielle de contrôle d'accès (20) selon l'une quelconque des revendications 1 à 14, pour valider un signal d'accès à un périphérique (P) pouvant notamment être choisi parmi un écran, un clavier, une mémoire, un contrôleur d'une interface de communication, une unité de gestion mémoire (MMU) ou une unité de protection de mémoire (MPU).

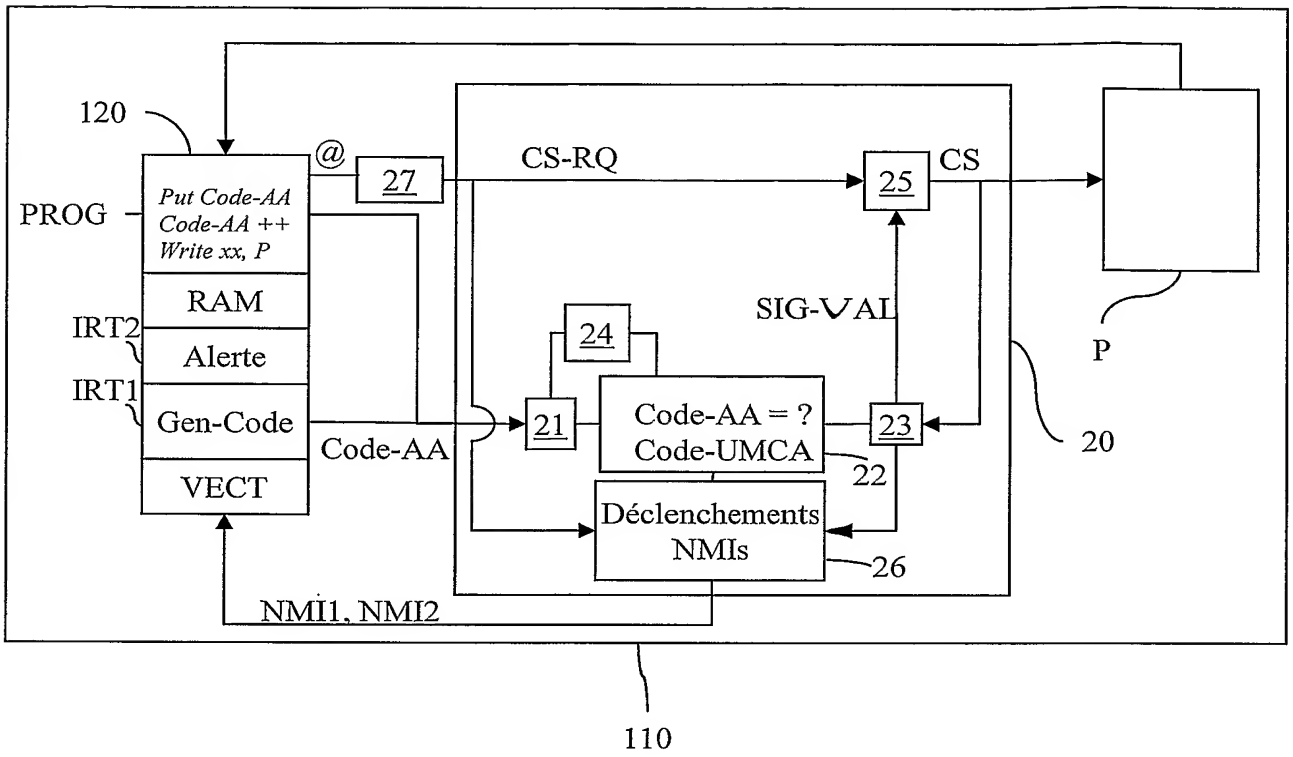

120
PROG
Put Code-AA
Code-AA ++
Write xx, P
RAM
IRT2
Alerte
IRT1
Gen-Code
VECT
@
27
Code-AA
CS-RQ
25
CS
SIG-VAL
24
21
Code-AA = ?
Code-UMCA
23
22
Déclenchements
NMIs
26
P
20
NMI1, NMI2
110

FIG. 1

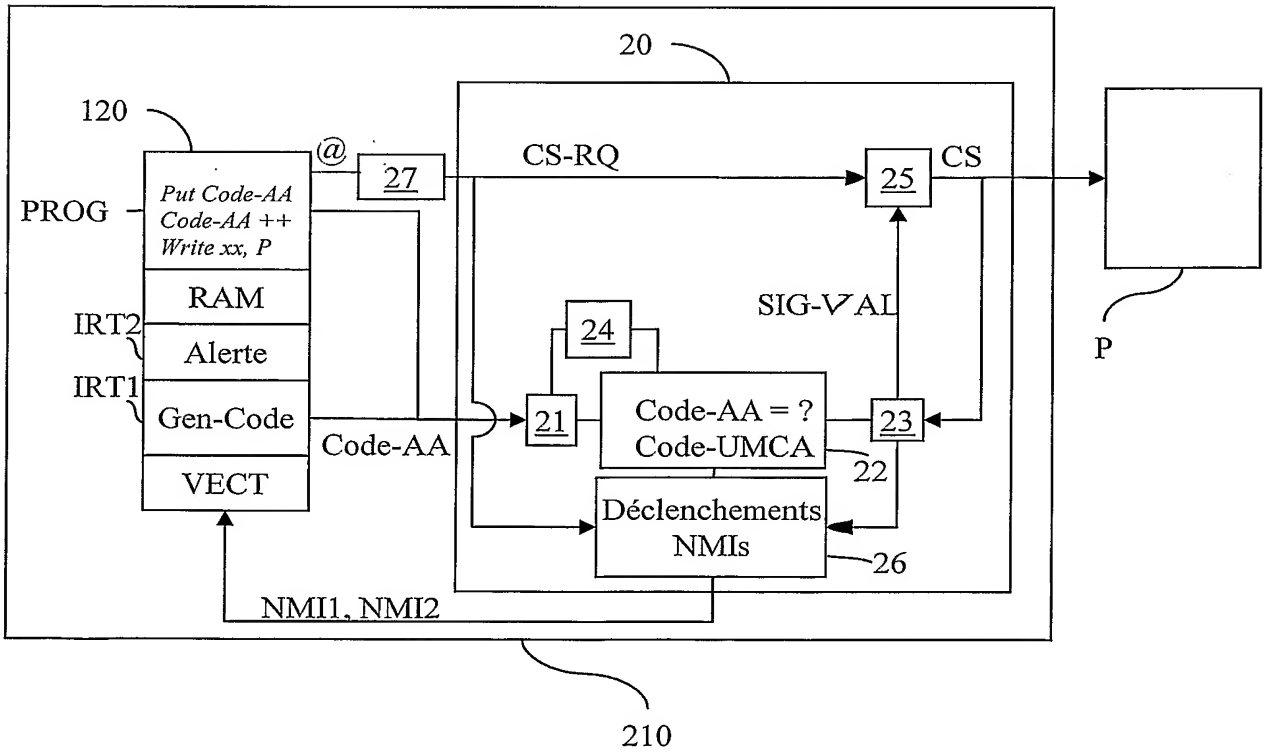

20
120
PROG
Put Code-AA
Code-AA ++
Write xx, P
RAM
IRT2
Alerte
IRT1
Gen-Code
VECT
@
27
Code-AA
CS-RQ
25
CS
SIG-VAL
24
21
Code-AA = ?
Code-UMCA
23
22
Déclenchements
NMIs
26
P
NMI1, NMI2
210

FIG. 2

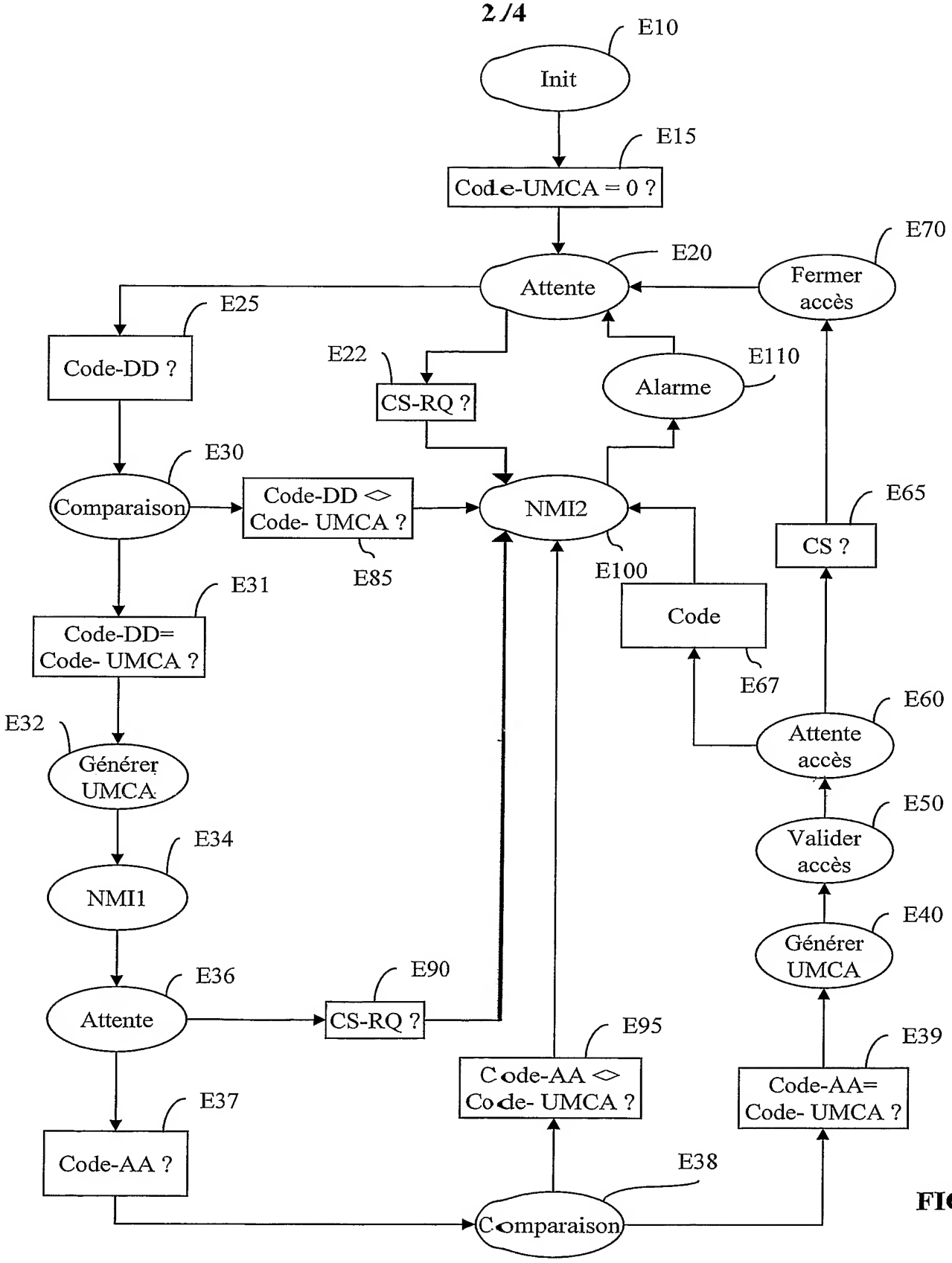

E10
Init
E15
Code-UMCA = 0 ?
E20
Attente
E70
Fermer accès
E25
Code-DD ?
E22
CS-RQ ?
E110
Alarme
E30
Comparaison
Code-DD <> Code- UMCA ?
E85
NMI2
E65
CS ?
E100
Code
E31
Code-DD= Code- UMCA ?
E67
E60
Attente accès
E32
Générer UMCA
E50
Valider accès
E34
NMI1
E40
Générer UMCA
E36
Attente
E90
CS-RQ ?
E95
Code-AA <> Code- UMCA ?
E39
Code-AA= Code- UMCA ?
E37
Code-AA ?
E38
Comparaison

FIG. 4a

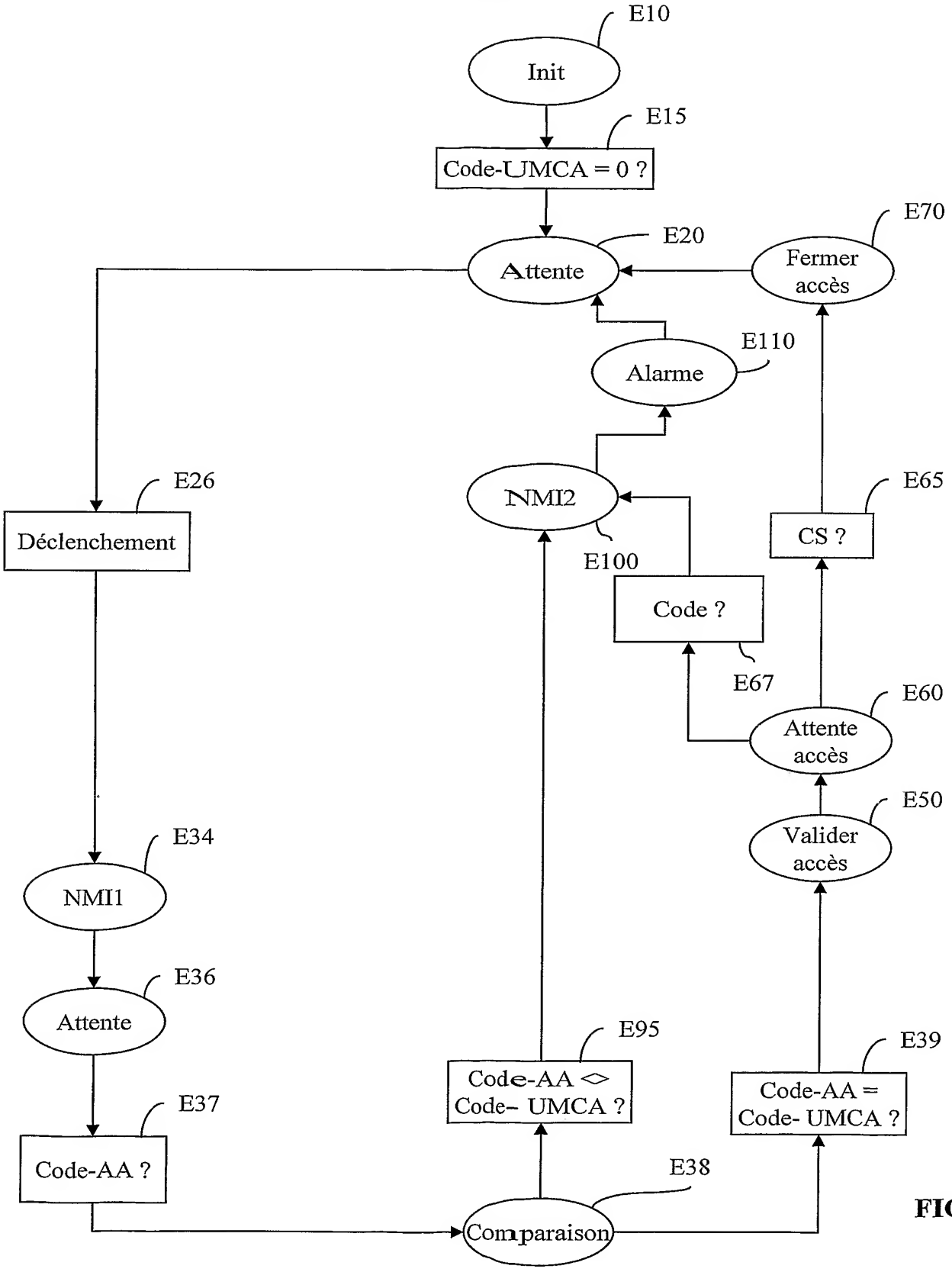

E10
Init
E15
Code-UMCA = 0 ?
E20
Attente
E70
Fermer accès
E110
Alarme
E26
Déclenchement
NMI2
E65
CS ?
E100
Code ?
E67
E60
Attente accès
E50
Valider accès
E34
NMI1
E36
Attente
E95
Code-AA <> Code- UMCA ?
E39
Code-AA = Code- UMCA ?
E37
Code-AA ?
E38
Comparaison

FIG. 4b

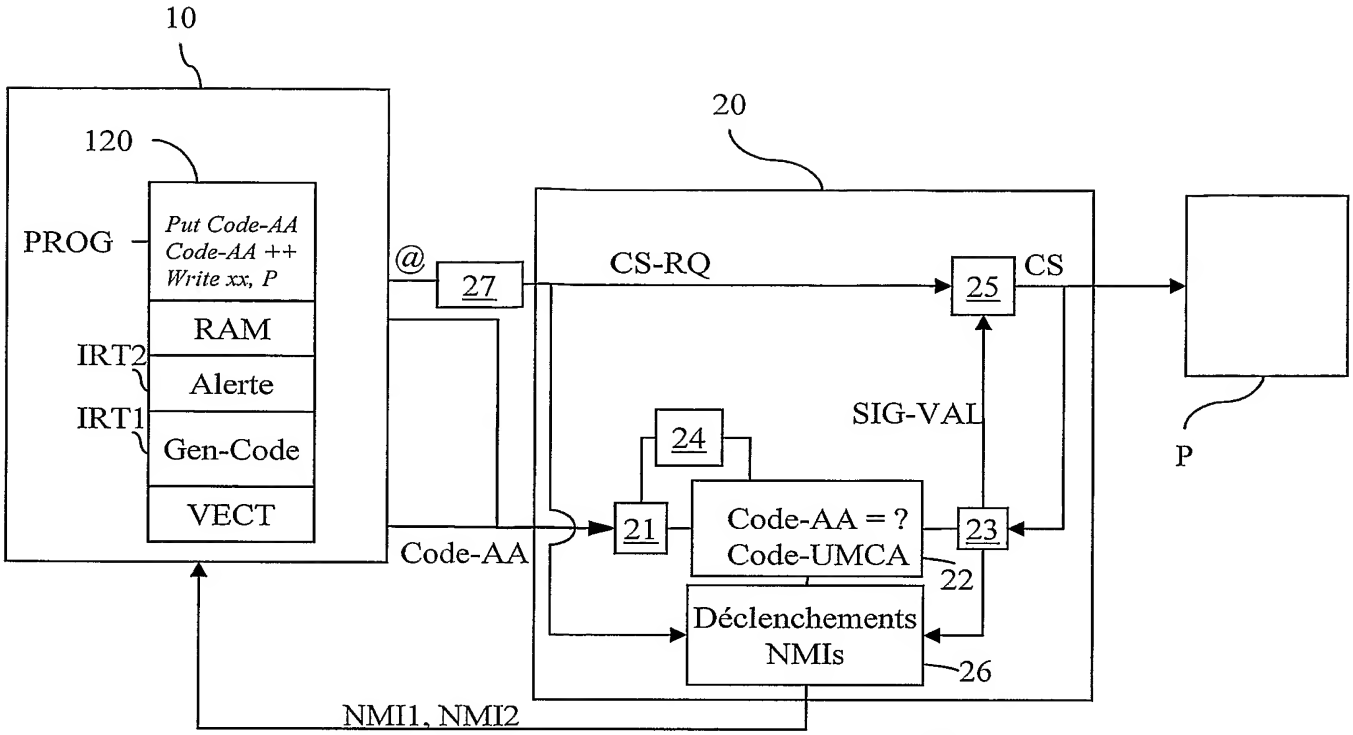



FIG. 3

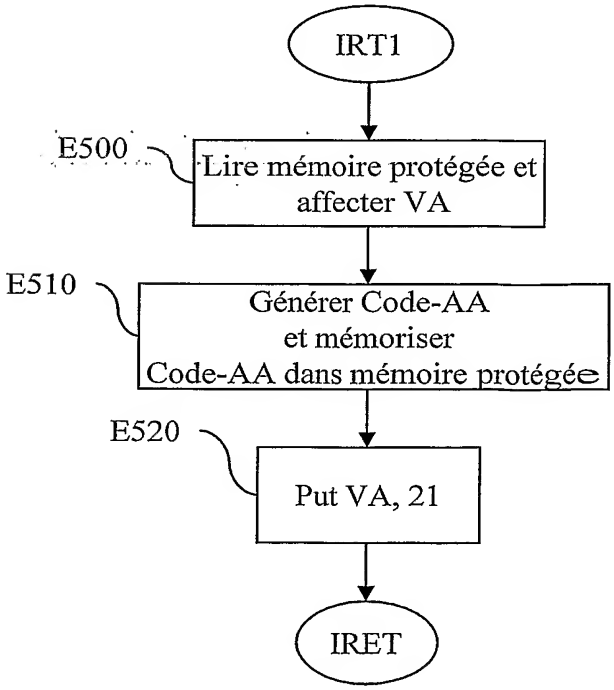



FIG. 5

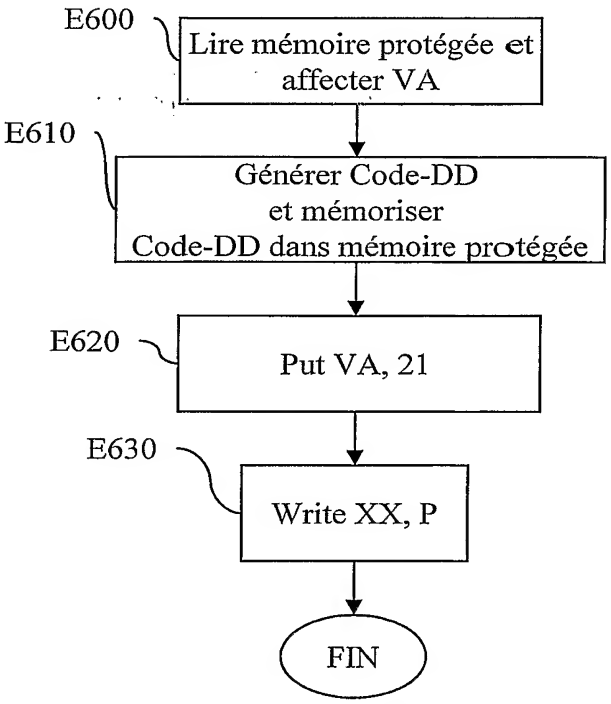



FIG. 6

# INTERNATIONAL SEARCH REPORT

International Application No
PCT/FR2005/000648

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G06F1/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category ° | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| X | US 2003/056070 A1 (DAYAN RICHARD ALAN ET AL) 20 March 2003 (2003-03-20) | 1-3,5-7, 10-13, 15-17, 20-24, 26-28, 31-34, 36,37, 40,41, 43,44 |
| Y | paragraphs '0015!, '0017!, '0020!; figures 1,2 | 8,9,14, 18,19, 29,30, 38,39,42 |
| A | paragraphs '0004! - '0008! | 4 |
| | -/-- | |

[X] Further documents are listed in the continuation of box C.

[X] Patent family members are listed in annex.

° Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| 11 August 2005 | 23/08/2005 |

| Name and mailing address of the ISA | Authorized officer |
|---|---|
| European Patent Office, P.B. 5818 Patentlaan 2<br>NL – 2280 HV Rijswijk<br>Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,<br>Fax: (+31-70) 340-3016 | Veillas, E |

# INTERNATIONAL SEARCH REPORT

International Application No
PCT/FR2005/000648

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

| Category ° | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| Y | WO 97/43716 A (3DO CO)<br>20 November 1997 (1997-11-20)<br><br>page 17, line 17 - line 21<br>page 18, line 24 - page 19, line 10<br>page 21, line 1 — line 5<br>page 22, line 10 - line 32; figure 4<br>page 20, line 9 — line 31<br>page 24, line 20 - page 25, line 2<br>page 25, line 6 — line 11 | 8,9,18,<br>19,29,<br>30,38,<br>39,42 |
| A | US 6 190 257 B1 (KATO SHUHEI ET AL)<br>20 February 2001 (2001-02-20)<br>column 32, line 54 - column 33, line 25 | 5,6,11,<br>26,27,40 |
| Y | US 6 480 097 B1 (KAISER JR ROGER A ET AL)<br>12 November 2002 (2002-11-12) | 14 |
| A | figures 3,4,6<br>abstract<br>column 2, line 13 - line 25<br>column 7, line 19 - line 25<br>column 7, line 41 - line 44<br>column 11, line 44 - line 48<br>column 11, line 64 - column 12, line 7 | 12,13,16 |
| A | US 5 875 480 A (LE ROUX JEAN-YVES ET AL)<br>23 February 1999 (1999-02-23)<br>le document entier<br>en particulier col. 6, lignes 14-63<br>et col. 7, lignes 15-27 | 1,16 |
| A | US 6 510 521 B1 (ALBRECHT MARK ET AL)<br>21 January 2003 (2003-01-21)<br>column 2, line 54 - line 62<br>column 3, line 9 - line 19<br>column 5, line 9 - line 26<br>column 5, line 54 - line 67<br>column 6, line 11 - line 23<br>column 6, line 45 - line 48<br>figures 3,5,7 | 1-42 |

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/FR2005/000648

| Patent document cited in search report | Publication date | Patent family member(s) | Publication date |
|---|---|---|---|
| US 2003056070 A1 | 20-03-2003 | NONE | |
| WO 9743716 A | 20-11-1997 | AU 3056797 A | 05-12-1997 |
| | | WO 9743716 A1 | 20-11-1997 |
| | | US 5928362 A | 27-07-1999 |
| US 6190257 B1 | 20-02-2001 | US 6071191 A | 06-06-2000 |
| | | US 6022274 A | 08-02-2000 |
| | | US 6394905 B1 | 28-05-2002 |
| | | EP 0875816 A2 | 04-11-1998 |
| | | AU 722079 B2 | 20-07-2000 |
| | | AU 7195996 A | 29-05-1997 |
| | | CA 2190933 A1 | 23-05-1997 |
| | | CN 1159957 A ,C | 24-09-1997 |
| | | DE 69623242 D1 | 02-10-2002 |
| | | DE 69623242 T2 | 19-12-2002 |
| | | EP 0780771 A2 | 25-06-1997 |
| | | JP 10015244 A | 20-01-1998 |
| | | US 2002115486 A1 | 22-08-2002 |
| | | US 6383079 B1 | 07-05-2002 |
| | | US 6331146 B1 | 18-12-2001 |
| | | US 6155926 A | 05-12-2000 |
| | | US 6139433 A | 31-10-2000 |
| | | US 2001046896 A1 | 29-11-2001 |
| US 6480097 B1 | 12-11-2002 | US 5963142 A | 05-10-1999 |
| US 5875480 A | 23-02-1999 | FR 2686170 A1 | 16-07-1993 |
| | | DE 69327181 D1 | 13-01-2000 |
| | | DE 69327181 T2 | 15-06-2000 |
| | | EP 0552079 A1 | 21-07-1993 |
| | | ES 2142337 T3 | 16-04-2000 |
| | | JP 3613687 B2 | 26-01-2005 |
| | | JP 5314013 A | 26-11-1993 |
| | | SG 52681 A1 | 28-09-1998 |
| | | US 6182205 B1 | 30-01-2001 |
| US 6510521 B1 | 21-01-2003 | US 5835594 A | 10-11-1998 |
| | | AU 1859197 A | 28-08-1997 |
| | | DE 69733123 D1 | 02-06-2005 |
| | | EP 1467513 A2 | 13-10-2004 |
| | | EP 0879515 A1 | 25-11-1998 |
| | | TW 401562 B | 11-08-2000 |
| | | US 6249872 B1 | 19-06-2001 |
| | | WO 9729569 A1 | 14-08-1997 |

# RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale No
PCT/FR2005/000648

**A. CLASSEMENT DE L'OBJET DE LA DEMANDE**
CIB 7 G06F1/00

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

**B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE**

Documentation minimale consultée (système de classification suivi des symboles de classement)
CIB 7 G06F

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)
EPO-Internal

**C. DOCUMENTS CONSIDERES COMME PERTINENTS**

| Catégorie ° | Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents | no. des revendications visées |
|---|---|---|
| X | US 2003/056070 A1 (DAYAN RICHARD ALAN ET AL) 20 mars 2003 (2003-03-20) | 1-3,5-7, 10-13, 15-17, 20-24, 26-28, 31-34, 36,37, 40,41, 43,44 |
| Y | alinéas '0015!, '0017!, '0020!; figures 1,2 | 8,9,14, 18,19, 29,30, 38,39,42 |
| A | alinéas '0004! - '0008! | 4 |

-/--

[X] Voir la suite du cadre C pour la fin de la liste des documents

[X] Les documents de familles de brevets sont indiqués en annexe

° Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"&" document qui fait partie de la même famille de brevets

| Date à laquelle la recherche internationale a été effectivement achevée | Date d'expédition du présent rapport de recherche internationale |
|---|---|
| 11 août 2005 | 23/08/2005 |

| Nom et adresse postale de l'administration chargée de la recherche internationale | Fonctionnaire autorisé |
|---|---|
| Office Européen des Brevets, P.B. 5818 Patentlaan 2<br>NL – 2280 HV Rijswijk<br>Tel. (+31–70) 340–2040, Tx. 31 651 epo nl,<br>Fax: (+31–70) 340–3016 | Veillas, E |

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS

| Catégorie ° | Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents | no. des revendications visées |
|---|---|---|
| Y | WO 97/43716 A (3DO CO)<br>20 novembre 1997 (1997-11-20)<br><br>page 17, ligne 17 - ligne 21<br>page 18, ligne 24 - page 19, ligne 10<br>page 21, ligne 1 - ligne 5<br>page 22, ligne 10 - ligne 32; figure 4<br>page 20, ligne 9 - ligne 31<br>page 24, ligne 20 - page 25, ligne 2<br>page 25, ligne 6 - ligne 11 | 8,9,18,<br>19,29,<br>30,38,<br>39,42 |
| A | US 6 190 257 B1 (KATO SHUHEI ET AL)<br>20 février 2001 (2001-02-20)<br>colonne 32, ligne 54 - colonne 33, ligne 25 | 5,6,11,<br>26,27,40 |
| Y | US 6 480 097 B1 (KAISER JR ROGER A ET AL)<br>12 novembre 2002 (2002-11-12) | 14 |
| A | figures 3,4,6<br>abrégé<br>colonne 2, ligne 13 - ligne 25<br>colonne 7, ligne 19 - ligne 25<br>colonne 7, ligne 41 - ligne 44<br>colonne 11, ligne 44 - ligne 48<br>colonne 11, ligne 64 - colonne 12, ligne 7 | 12,13,16 |
| A | US 5 875 480 A (LE ROUX JEAN-YVES ET AL)<br>23 février 1999 (1999-02-23)<br>le document entier<br>en particulier col. 6, lignes 14-63<br>et col. 7, lignes 15-27 | 1,16 |
| A | US 6 510 521 B1 (ALBRECHT MARK ET AL)<br>21 janvier 2003 (2003-01-21)<br>colonne 2, ligne 54 - ligne 62<br>colonne 3, ligne 9 - ligne 19<br>colonne 5, ligne 9 - ligne 26<br>colonne 5, ligne 54 - ligne 67<br>colonne 6, ligne 11 - ligne 23<br>colonne 6, ligne 45 - ligne 48<br>figures 3,5,7 | 1-42 |

# RAPPORT DE RECHERCHE INTERNATIONALE

**Renseignements relatifs aux membres de familles de brevets**

Demande Internationale No
PCT/FR2005/000648

| Document brevet cité au rapport de recherche | | Date de publication | Membre(s) de la famille de brevet(s) | | Date de publication |
|---|---|---|---|---|---|
| US 2003056070 | A1 | 20-03-2003 | AUCUN | | |
| WO 9743716 | A | 20-11-1997 | AU | 3056797 A | 05-12-1997 |
| | | | WO | 9743716 A1 | 20-11-1997 |
| | | | US | 5928362 A | 27-07-1999 |
| US 6190257 | B1 | 20-02-2001 | US | 6071191 A | 06-06-2000 |
| | | | US | 6022274 A | 08-02-2000 |
| | | | US | 6394905 B1 | 28-05-2002 |
| | | | EP | 0875816 A2 | 04-11-1998 |
| | | | AU | 722079 B2 | 20-07-2000 |
| | | | AU | 7195996 A | 29-05-1997 |
| | | | CA | 2190933 A1 | 23-05-1997 |
| | | | CN | 1159957 A ,C | 24-09-1997 |
| | | | DE | 69623242 D1 | 02-10-2002 |
| | | | DE | 69623242 T2 | 19-12-2002 |
| | | | EP | 0780771 A2 | 25-06-1997 |
| | | | JP | 10015244 A | 20-01-1998 |
| | | | US | 2002115486 A1 | 22-08-2002 |
| | | | US | 6383079 B1 | 07-05-2002 |
| | | | US | 6331146 B1 | 18-12-2001 |
| | | | US | 6155926 A | 05-12-2000 |
| | | | US | 6139433 A | 31-10-2000 |
| | | | US | 2001046896 A1 | 29-11-2001 |
| US 6480097 | B1 | 12-11-2002 | US | 5963142 A | 05-10-1999 |
| US 5875480 | A | 23-02-1999 | FR | 2686170 A1 | 16-07-1993 |
| | | | DE | 69327181 D1 | 13-01-2000 |
| | | | DE | 69327181 T2 | 15-06-2000 |
| | | | EP | 0552079 A1 | 21-07-1993 |
| | | | ES | 2142337 T3 | 16-04-2000 |
| | | | JP | 3613687 B2 | 26-01-2005 |
| | | | JP | 5314013 A | 26-11-1993 |
| | | | SG | 52681 A1 | 28-09-1998 |
| | | | US | 6182205 B1 | 30-01-2001 |
| US 6510521 | B1 | 21-01-2003 | US | 5835594 A | 10-11-1998 |
| | | | AU | 1859197 A | 28-08-1997 |
| | | | DE | 69733123 D1 | 02-06-2005 |
| | | | EP | 1467513 A2 | 13-10-2004 |
| | | | EP | 0879515 A1 | 25-11-1998 |
| | | | TW | 401562 B | 11-08-2000 |
| | | | US | 6249872 B1 | 19-06-2001 |
| | | | WO | 9729569 A1 | 14-08-1997 |